

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

JPA 10-290003

(11) Publication number: 10290003 A

(43) Date of publication of application: 27.10.98

(51) Int. Cl

H01L 29/762
H01L 21/339
H01L 27/148
H01L 31/10
H04N 5/335

(21) Application number: 09105504

(22) Date of filing: 23.04.97

(30) Priority: 14.02.97 JP 09 29929

(71) Applicant: SONY CORP

(72) Inventor: HAMAZAKI MASA HARU

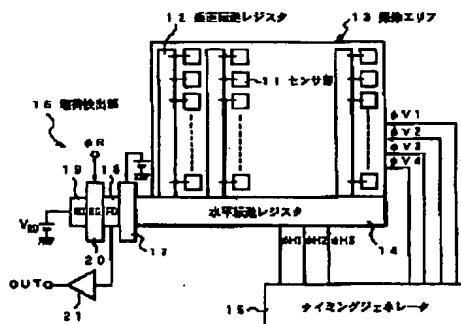
(54) CHARGE TRANSFER DEVICE AND SOLID-STATE
 IMAGE PICK-UP DEVICE USING THE SAME

(57) Abstract:

PROBLEM TO BE SOLVED: To make feasible of the low voltage driving and also abate the coupling noise.

SOLUTION: For instance, in a CCD sensor, a three phase driving system is adopted for the driving system of a horizontal register 14. At this time, the timing set up of three phase horizontal transfer pulses ϕ_{H1} , ϕ_{H2} , ϕ_{H3} pulsated by a timing generator 15 is performed so that the transfer operation of a horizontal transfer register 14 may be performed within the resetting term by the reset pulse R of a charge detector 16.

COPYRIGHT: (C)1998,JPO



THIS PAGE IS BLANK

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-290003

(43) 公開日 平成10年(1998)10月27日

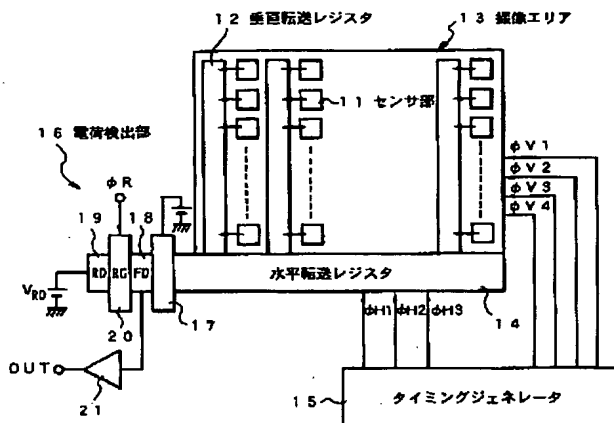
(51) Int. Cl. ⁶	識別記号	F I		
H01L 29/762		H01L 29/76	301	A
21/339		H04N 5/335		F
27/148		H01L 27/14		B
31/10		29/76	301	B
H04N 5/335		31/10		G
審査請求 未請求 請求項の数 6 O L (全10頁)				
(21) 出願番号	特願平9-105504	(71) 出願人	000002185	
(22) 出願日	平成9年(1997)4月23日		ソニー株式会社	
(31) 優先権主張番号	特願平9-29929	(72) 発明者	浜崎 正治	
(32) 優先日	平9(1997)2月14日		東京都品川区北品川6丁目7番35号	
(33) 優先権主張国	日本(J P)		東京都品川区北品川6丁目7番35号	ソニ
			株式会社内	
		(74) 代理人	弁理士 船橋 國則	

(54) 【発明の名称】 電荷転送装置およびこれを用いた固体撮像装置

(57) 【要約】

【課題】 2相駆動方式の場合、電荷転送部の駆動電圧をある程度確保しなければならないため、デバイスの低電源電圧化の妨げとなる。

【解決手段】 例えばCCDエリアセンサにおいて、その水平転送レジスタ14の駆動方式として3相駆動方式を採用し、かつ水平転送レジスタ14の転送動作を電荷検出部16のリセットパルスφRによるリセット期間に行うように、タイミングジェネレータ15から発生される3相の水平転送パルスφH1、φH2、φH3のタイミング設定を行う。



本発明の第1実施形態を示す概略構成図

【特許請求の範囲】

【請求項1】 信号電荷を転送する電荷転送部と、この電荷転送部によって転送された信号電荷を検出して電気信号に変換するとともに、その検出周期でリセット動作を行う電荷検出部とを備えた電荷転送装置であって、前記電荷転送部は、3相以上の転送パルスによって転送駆動され、かつ前記電荷検出部のリセット期間に転送動作を行うことを特徴とする電荷転送装置。

【請求項2】 前記電荷転送部は、その転送動作の一部を前記電荷検出部のリセット期間に行い、残りの転送動作を後段のサンプリング手段におけるノイズサンプリング後に行うことを特徴とする請求項1記載の電荷転送装置。

【請求項3】 前記電荷転送部の転送パルスは3相であり、3相の転送パルスのうちの2相の転送パルス間において逆方向の遷移タイミングが同一タイミングになるように設定されていることを特徴とする請求項1記載の電荷転送装置。

【請求項4】 複数の光電変換素子と、前記光電変換素子で得られた信号電荷を転送する電荷転送部と、前記電荷転送部によって転送された信号電荷を検出して電気信号に変換するとともに、その検出周期でリセット動作を行う電荷検出部とを備えた固体撮像装置であって、前記電荷転送部は、3相以上の転送パルスによって転送駆動され、かつ前記電荷検出部のリセット期間に転送動作を行うことを特徴とする固体撮像装置。

【請求項5】 前記電荷転送部は、その転送動作の一部を前記電荷検出部のリセット期間に行い、残りの転送動作を後段のサンプリング手段におけるノイズサンプリング後に行うことを特徴とする請求項4記載の固体撮像装置。

【請求項6】 前記電荷転送部の転送パルスは3相であり、3相の転送パルスのうちの2相の転送パルス間において逆方向の遷移タイミングが同一タイミングになるように設定されていることを特徴とする請求項4記載の電荷転送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電荷転送装置およびこれを用いた固体撮像装置に関する。

【0002】

【従来の技術】 固体撮像装置、例えばCCDエリアセンサにおいて、その水平転送レジスタの駆動には2相駆動方式が良く使われている。図8に、2相駆動方式の場合の断面構造を示す。図8において、pウェル（又は、p型基板）51の表面側の転送チャネル52には、n領域53およびn⁻領域54が交互に形成されている。n領域53の上方には1層目の転送電極55が、n⁻領域54の上方には2層目の転送電極56がそれぞれゲート絶縁膜（図示せず）を介して形成されている。これら転送

電極55、56の電極列において、隣り合う転送電極55、56が対をなし、一対おきに2相の転送パルスφ1、φ2が印加される。

【0003】 図9は電荷転送部のポテンシャル図であり、図10は2相の転送パルスφ1、φ2および出力波形OUTのタイミングチャートである。1相目の転送パルスφ1（a）が“H”レベルになり、2相目の転送パルスφ2（b）が“L”レベルになると、図9のポテンシャル図に示すように、1相目の転送電極対55、56の下のパテンシャルが深くなり、2相目の転送電極対55、56の下のパテンシャルが浅くなる。

【0004】 ここで、転送電極55の下がn領域53、転送電極56の下がn⁻領域54であることから、転送電極55の下のパテンシャルと転送電極56の下のパテンシャルとの間には、ポテンシャルの振幅V_aに対してV_aのポテンシャル段差（バリア）が形成されており、これにより図の右側から左側への電荷転送を可能としている。そして、転送パルスφ1、φ2が“H”レベルのときの転送電極55の下に信号電荷が溜められる。

【0005】

【発明が解決しようとする課題】 ところで、転送電極55の下に溜められる信号電荷量Qは、蓄積領域の容量をC_a、電位をV_aとすると、

$$Q = C_a \cdot V_a$$

である。ここで、バリアのポテンシャルV_aとの間に、0.3～0.6V程度の電位差（マージン）ΔVがないと、熱拡散で信号電荷が後戻りしてしまう。したがって、バリアのポテンシャルV_aは、

$$V_a = V_0 + \Delta V$$

だけ必要である。

【0006】 さらに、転送効率を上げるためには、1相目の転送電極56の下のパテンシャルと2相目の転送電極55の下のパテンシャルとの間に、V_a'なる電位差も必要である。その結果、高い転送効率での転送を実現するのに必要な振幅V_a（=V_a+V_a'）を得るには、転送パルスφ1、φ2の振幅（駆動電圧）は大きくなければならず、よって低電圧駆動化の妨げとなっていた。また、2相駆動方式の場合には、信号電荷を蓄積する蓄積面積も、水平ピッチの約1/4しかとれない。

【0007】 次に、3相駆動方式について説明する。図11に、3相駆動方式の場合の断面構造を示す。図11において、pウェル（又は、p型基板）81の表面側にはn型の転送チャネル82が形成されており、その上方には3つの転送電極83、84、85が繰り返して配列されている。そして、転送電極83には1相目の転送パルスφ1が、転送電極84には2相目の転送パルスφ2が、転送電極85には3相目の転送パルスφ3がそれぞれ印加される。

【0008】 図12は電荷転送部のポテンシャル図であり、図13は3相の転送パルスφ1、φ2、φ3および

出力波形OUTのタイミングチャートである。この3相駆動方式の場合には、図12のポテンシャル図から明らかなように、2相駆動方式におけるポテンシャル段差 V_0 および電位差 V_0' が不要であり、 $V_0 = V_0' - \Delta V$ だけ信号電荷の蓄積に利用できることから、電圧の効率が良く、振幅 V_0 が小さくて済むため、低電圧駆動化が可能であり、しかも蓄積面積として水平ピッチの約1/3を利用できる。

【0009】しかしながら、従来の3相駆動方式の場合には、2相駆動方式の場合に比べて上述した如き利点がある反面、3相の転送パルス $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ タイミング関係が複雑になるとともに、出力波形OUTに転送パルス $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ のカップリングノイズが乗るという問題がある。なお、図13には、理想的な場合の出力波形OUTを示している。

【0010】すなわち、3相の転送パルス $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ の立上がりおよび立下がりの期間 $t 1$ 、 $t 2$ 、 $t 3$ 、……、 $t 6$ で、転送パルス $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ のカップリングノイズが出力波形OUTに出てくる。このカップリングノイズについては、2相駆動方式の場合は、図10の期間 $t 1$ では1相目の転送パルス $\phi 1$ が“L”レベルへの変化、2相目の転送パルス $\phi 2$ が“H”レベルへの変化であるため、相殺し合うことで低減される。

【0011】これに対し、3相駆動方式の場合は、期間 $t 1$ 、 $t 2$ 、 $t 3$ 、……、 $t 6$ で、転送パルス $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ が各々独立に動作するため、カップリングノイズが大きくなる。このカップリングノイズの問題については、4相駆動方式の場合にも同様のことが言える。

【0012】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、低電圧駆動化が可能で、しかもカップリングノイズの発生が少ない電荷転送装置およびこれを搭載した固体撮像装置を提供することにある。

【0013】

【課題を解決するための手段】本発明による電荷転送装置は、信号電荷を転送する電荷転送部と、この電荷転送部によって転送された信号電荷を検出して電気信号に変換するとともに、その検出周期でリセット動作を行う電荷検出部とを備えた電荷転送装置であって、電荷転送部が3相以上の転送パルスによって転送駆動され、かつ電荷検出部のリセット期間に転送動作を行う構成となっている。

【0014】上記構成の電荷転送装置において、電荷転送部は3相以上の駆動方式を採ることで、転送パルスの低振幅化が可能となる。また、3相以上の転送パルスのタイミングが、電荷検出部のリセット期間に電荷転送部が転送動作を行うタイミングに設定されていることで、転送パルスのレベルが遷移する期間でのカップリングノイズが信号成分期間に発生しない。そして、この電荷転送装置は、固体撮像装置や遅延線などの電荷転送部とし

て用いられる。

【0015】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しつつ詳細に説明する。

【0016】図1は、本発明の第1実施形態を示す概略構成図であり、例えばインターライン転送方式のCCDエリアセンサに適用した場合を示す。図1において、行（垂直）方向および列（水平）方向にマトリクス状に配列されて、入射光をその光量に応じた電荷量の信号電荷に変換して蓄積する複数のセンサ部（光電変換素子）11と、これらセンサ部11の垂直列ごとに設けられ、各センサ部11から読み出しゲート部（図示せず）を介して読み出された信号電荷を垂直転送する複数本の垂直転送レジスタ12とによって撮像エリア13が構成されている。

【0017】この撮像エリア13において、センサ部11は例えばPN接合のフォトダイオードから構成されている。垂直転送レジスタ12は、例えば4相の垂直転送パルス $\phi V 1 \sim \phi V 4$ によって転送駆動され、各センサ部11から読み出された信号電荷を水平ブランキング期間の一部にて1走査線（1ライン）に相当する部分ずつ順に垂直方向に転送する。撮像エリア13の図面上の下側には、水平転送レジスタ14が配されている。水平転送レジスタ14には、複数本の垂直転送レジスタ12の各々から1ラインに相当する信号電荷が順次転送される。

【0018】この水平転送レジスタ14に対して本発明の第1実施形態が適用される。すなわち、水平転送レジスタ14は、3相の水平転送パルス $\phi H 1$ 、 $\phi H 2$ 、 $\phi H 3$ によって転送駆動され、複数本の垂直転送レジスタ12から移された1ライン分の信号電荷を、水平ブランキング期間後の水平走査期間において順次水平方向に転送する。水平転送レジスタ14の構造としては、垂直転送レジスタ等で用いられている周知の3相駆動構造のものを用い得る。4相の垂直転送パルス $\phi V 1 \sim \phi V 4$ および3相の水平転送パルス $\phi H 1 \sim \phi H 3$ は、タイミングジェネレータ15から発生される。

【0019】水平転送レジスタ14の転送先側の端部には、例えばフローティング・ディフュージョン・アンプ構成の電荷検出部16が設けられている。この電荷検出部16は、水平転送レジスタ14から水平出力ゲート部17を介して供給される信号電荷を蓄積するフローティング・ディフュージョン（FD）18と、信号電荷を排出するリセットドレイン（RD）19と、フローティング・ディフュージョン18とリセットドレイン19の間に設けられたリセットゲート（RG）20とから構成されている。

【0020】この電荷検出部16において、リセットドレイン19には所定のリセットドレイン電圧 V_{R0} が印加され、リセットゲート20には信号電荷の検出周期で

セットパルス ϕR が印加される。そして、フローティング・ディフュージョン18に蓄積された信号電荷は信号電圧に変換され、出力回路21を介してCCD出力信号OUTとして導出される。

【0021】図2に、3相の水平転送パルス $\phi H1$ 、 $\phi H2$ 、 $\phi H3$ 、出力波形OUT、リセットパルス ϕR および後段で用いられるサンプルホールドパルスSH-P、SH-Dの各タイミング関係を示す。なお、サンプルホールドパルスSH-P、SH-Dは、CCD出力信号に対して各種の信号処理を施す後段の信号処理回路の一部を構成するCDS（相関二重サンプリング）回路（図示せず）において、信号成分を検出する際に用いられるパルスである。

【0022】図2のタイミングチャートにおいて、時刻 $t1$ で2相目の水平転送パルス $\phi H2$ （b）が“L”レベルから“H”レベルに遷移し、時刻 $t2$ で3相目の水平転送パルス $\phi H3$ （c）が“H”レベルから“L”レベルに遷移し、時刻 $t3$ で1相目の水平転送パルス $\phi H1$ （a）が“L”レベルから“H”レベルに遷移し、時刻 $t4$ で2相目の水平転送パルス $\phi H2$ （b）が“H”レベルから“L”レベルに遷移することで、水平転送動作が行われる。

【0023】すなわち、図3に示すように、3つの転送電極22、23、24を図の左側から順に繰り返して配列した電極構造において、転送電極22に1相目の水平転送パルス $\phi H1$ を、転送電極23に2相目の水平転送パルス $\phi H2$ を、転送電極24に3相目の水平転送パルス $\phi H3$ をそれぞれ印加するものとする、時刻 $t1$ では、転送電極23の下側のポテンシャルが深くなることで、それ以前（時刻 $t0$ とする）に転送電極24の下に蓄積されていた信号電荷が転送電極23の下に移動する。

【0024】時刻 $t2$ では、転送電極24の下側のポテンシャルが浅くなることで、転送電極24の下側の信号電荷が全て転送電極23の下に移され、ここに蓄積される。続いて、時刻 $t3$ では、転送電極22の下側のポテンシャルが深くなることで、転送電極23の下側の信号電荷が転送電極22の下に移動する。そして、時刻 $t4$ では、転送電極23の下側のポテンシャルが浅くなることで、転送電極23の下側の信号電荷が全て転送電極22の下に移され、ここに蓄積される。これにより、転送電極24の下側の信号電荷が、転送電極22の下まで転送されたことになる。

【0025】この時刻 $t1$ ～時刻 $t4$ は、リセットパルス ϕR （e）の“H”レベルの期間内に設定されている。これにより、3相の水平転送パルス $\phi H1$ （a）、 $\phi H2$ （b）、 $\phi H3$ （c）の時刻 $t1$ ～時刻 $t4$ でのレベル遷移に伴う水平転送レジスタ14での水平転送動作は、電荷検出部16でのリセット期間 t_r において実行される。

【0026】さらに、時刻 $t5$ で3相目の水平転送パルス $\phi H3$ （c）が“L”レベルから“H”レベルに遷移し、時刻 $t6$ で1相目の水平転送パルス $\phi H1$ （a）が“H”レベルから“L”レベルに遷移する。これにより、時刻 $t5$ では、転送電極24の下側のポテンシャルが深くなり、転送電極22の下側の信号電荷が転送電極24の下に移動する。そして、時刻 $t6$ では、転送電極22の下側のポテンシャルが浅くなることで、転送電極22の下側の信号電荷が全て転送電極24の下に移され、ここに蓄積される。

【0027】この時刻 $t5$ 、 $t6$ は、出力波形OUT（d）の0レベル期間 t_0 から信号期間 t_s へ移行する期間に設定されている。そして、この時刻 $t5$ 、 $t6$ でも、信号電荷の水平転送が行われる。以上の一連の水平転送動作により、1ライン分の信号電荷が1パケット分だけ水平転送されたことになる。

【0028】上述したように、CCDエリアセンサにおいて、その水平転送レジスタ14の駆動に3相駆動方式を採用したことで、先述したように、2相駆動方式におけるポテンシャル段差 V_s 、および電位差 V_s' が不要であることから、電圧の効率が良く、水平転送レジスタ14の駆動電圧（水平転送パルス $\phi H1$ 、 $\phi H2$ 、 $\phi H3$ の振幅）が小さくて済む。これにより、低電圧駆動化が可能であるため、低消費電力化が図れるとともに、デバイスの低電源電圧化が可能となる。しかも、信号電荷の蓄積面積として水平ピッチの約 $1/3$ を利用できることになる。

【0029】また、電荷検出部16のリセット期間 t_r に大部分の転送動作、即ち時刻 $t1$ ～時刻 $t4$ の転送動作を行うようにしたことで、水平転送パルス $\phi H1$ ～ $\phi H3$ に起因するカップリングノイズを低減できる。さらに、残りの転送動作、即ち時刻 $t5$ 、 $t6$ の転送動作を0レベル期間 t_0 から信号期間 t_s へ移行する期間、即ち後段のCDS回路におけるサンプリングパルスSH-P（f）によるノイズサンプリング後に行うようにしたことで、時刻 $t5$ 、 $t6$ がサンプリングパルスSH-P（f）、SH-D（g）の間であることから、毎回同じカップリング量ならば問題はない。

【0030】なお、本実施形態では、1相目の水平転送パルス $\phi H1$ （a）の立下がり時刻 $t5$ と3相目の水平転送パルス $\phi H3$ （c）の立上がり時刻 $t6$ とを異ならせたが、同タイミングとすることによってタイミング設定を簡単にすることも可能である。この場合、時刻 $t5$ 、 $t6$ では2相目の水平転送パルス $\phi H2$ が“L”レベルであることから、隣りのパケットと信号電荷が混じる心配はない。

【0031】図4は、本発明の第1実施形態の変形例に係るタイミングチャートであり、3相の水平転送パルス $\phi H1$ 、 $\phi H2$ 、 $\phi H3$ 、出力波形OUT、リセットパルス ϕR および後段で用いられるサンプルホールドパルス

スSH-P, SH-Dの各タイミング関係を示している。この変形例では、3相の水平転送パルス $\phi H1$, $\phi H2$, $\phi H3$ の各々の遷移タイミングを特徴としている。

【0032】図4のタイミングチャートにおいて、期間T1で2相目の水平転送パルス $\phi H2$ が“H”レベルから“L”レベルに、3相目の水平転送パルス $\phi H3$ が“L”レベルから“H”レベルにそれぞれ遷移し、期間T3で1相目の水平転送パルス $\phi H1$ が“L”レベルから“H”レベルに、3相目の水平転送パルス $\phi H3$ が“H”レベルから“L”レベルにそれぞれ遷移し、期間T5で1相目の水平転送パルス $\phi H1$ が“H”レベルから“L”レベルに、2相目の水平転送パルス $\phi H2$ が“L”レベルから“H”レベルにそれぞれ遷移する。

【0033】すなわち、3相の水平転送パルス $\phi H1$, $\phi H2$, $\phi H3$ のうちの2相の水平転送パルス間($\phi H2$ と $\phi H3$, $\phi H3$ と $\phi H1$, $\phi H1$ と $\phi H2$)において逆方向の遷移タイミングが同一タイミングになるように設定されている。これにより、いわゆるコンプリメンタリ駆動によって、水平転送レジスタ14の転送動作が行われる。

【0034】以下、その水平転送の具体的な動作について、図5のポテンシャル図を用いて説明する。ここで、3つの転送電極22, 23, 24を図の左側から順に繰り返して配列した電極構造において、転送電極22に3相目の水平転送パルス $\phi H3$ を、転送電極23に2相目の水平転送パルス $\phi H2$ を、転送電極24に1相目の水平転送パルス $\phi H1$ をそれぞれ印加するものとする。

【0035】期間T1では、転送電極22の下のパテンシャルが深くなる方向に、転送電極23の下のパテンシャルが浅くなる方向にそれぞれ変化することで、それ以前(期間T0とする)に転送電極23の下に蓄積されていた信号電荷が転送電極22の下に移動を開始する。期間T2では、転送電極22の下のパテンシャルが完全に深い状態となるため、転送電極23の下に信号電荷が全て転送電極22の下に移され、ここに蓄積される。

【0036】期間T3では、転送電極24の下のパテンシャルが深くなる方向に、転送電極22の下のパテンシャルが浅くなる方向にそれぞれ変化することで、転送電極22の下に信号電荷が転送電極24の下に移動を開始する。期間T4では、転送電極24の下のパテンシャルが完全に深い状態となるため、転送電極22の下に信号電荷が全て転送電極24の下に移され、ここに蓄積される。

【0037】期間T5では、転送電極23の下のパテンシャルが深くなる方向に、転送電極24の下のパテンシャルが浅くなる方向にそれぞれ変化することで、転送電極24の下に信号電荷が転送電極23の下に移動を開始する。期間T6では、転送電極23の下に信号電荷が完全に深い状態となるため、転送電極24の下に信号

電荷が全て転送電極23の下に移され、ここに蓄積される。

【0038】このように、水平転送レジスタ14の駆動において、電荷検出部16のリセット期間 t_r に大部分の転送動作を行うようにしたことに加え、3相の水平転送パルス $\phi H1$, $\phi H2$, $\phi H3$ を、3相のうちの2相間($\phi H2$ と $\phi H3$, $\phi H3$ と $\phi H1$, $\phi H1$ と $\phi H2$)において逆方向の遷移タイミングが同一タイミングになるように設定したことで、各水平転送パルス $\phi H1$, $\phi H2$, $\phi H3$ の出力へのカップリング成分が相殺されることになるため、水平転送パルス $\phi H1$, $\phi H2$, $\phi H3$ に起因するカップリングノイズをより確実に低減できる。

【0039】図4には、理想的な場合の出力波形OUTを示しており、点線が暗時出力、実線が信号出力となる。ここで、期間T1, T3, T5で相殺しきれなかったカップリングノイズがのってくることになるが、サンプリングパルスとして、CDS回路のサンプルホールドパルスSH-P, SH-Dを使用することにより、S/N良く、CDSを実現できる。

【0040】なお、本変形例では、電荷検出部16のリセットパルス ϕR のパルス幅を、3相目の水平転送パルス $\phi H3$ のパルス幅と同じにしているが、このパルス幅は必ずしも同じである必要はない。

【0041】図6は、本発明の第2実施形態を示す概略構成図であり、例えばインターライン転送方式のCCDエリアセンサに適用した場合を示す。図6において、行方向および列方向にマトリクス状に配列されて、入射光をその光量に応じた電荷量の信号電荷に変換して蓄積する複数のセンサ部31と、これらセンサ部31の垂直列ごとに設けられ、各センサ部31から読み出しゲート部(図示せず)を介して読み出された信号電荷を垂直転送する複数本の垂直転送レジスタ32とによって撮像エリア33が構成されている。

【0042】この撮像エリア33において、センサ部31は例えばPN接合のフォトダイオードから構成されている。垂直転送レジスタ32は、例えば4相の垂直転送パルス $\phi V1 \sim \phi V4$ によって転送駆動され、各センサ部31から読み出された信号電荷を水平ブランキング期間の一部にて1走査線(1ライン)に相当する部分ずつ順に垂直方向に転送する。撮像エリア33の図面上の下側には、水平転送レジスタ34が配されている。水平転送レジスタ34には、複数本の垂直転送レジスタ32の各々から1ラインに相当する信号電荷が順次転送される。

【0043】この水平転送レジスタ34に対して本発明の第2実施形態が適用される。すなわち、水平転送レジスタ34は、4相の水平転送パルス $\phi H1$, $\phi H2$, $\phi H3$, $\phi H4$ によって転送駆動され、複数本の垂直転送レジスタ32から移された1ライン分の信号電荷を、水

平ブランキング期間後の水平走査期間において順次水平方向に転送する。水平転送レジスタ34の構造としては、垂直転送レジスタ等で用いられている周知の4相駆動構造のものを用い得る。4相の垂直転送パルス $\phi V1 \sim \phi V4$ および4相の水平転送パルス $\phi H1 \sim \phi H4$ は、タイミングジェネレータ35から発生される。

【0044】水平転送レジスタ34の転送先側の端部には、例えばフローティング・ディフュージョン・アンプ構成の電荷検出部36が設けられている。この電荷検出部36は、水平転送レジスタ34から水平出力ゲート部37を介して供給される信号電荷を蓄積するフローティング・ディフュージョン38と、信号電荷を排出するリセットドレイン39と、フローティング・ディフュージョン38とリセットドレイン39の間に設けられたリセットゲート40とから構成されている。

【0045】この電荷検出部36において、リセットドレイン39には所定のリセットドレイン電圧 V_{rs} が印加され、リセットゲート40には信号電荷の検出周期でリセットパルス ϕR が印加される。そして、フローティング・ディフュージョン38に蓄積された信号電荷は信号電圧に変換され、出力回路41を介してCCD出力信号OUTとして導出される。

【0046】図7に、4相の水平転送パルス $\phi H1$ 、 $\phi H2$ 、 $\phi H3$ 、 $\phi H4$ 、出力波形OUT、リセットパルス ϕR および後段で用いられるサンプルホールドパルスSH-P、SH-Dの各タイミング関係を示す。なお、サンプルホールドパルスSH-P、SH-Dは、CCD出力信号に対して各種の信号処理を施す後段の信号処理回路の一部を構成するCDS（相関二重サンプリング）回路（図示せず）において、信号成分を検出する際に用いられるパルスである。

【0047】本実施形態では、4相の水平転送パルス $\phi H1$ 、 $\phi H2$ 、 $\phi H3$ 、 $\phi H4$ のうち、1相目の水平転送パルス $\phi H1$ と3相目の水平転送パルス $\phi H3$ とを互いに逆相のパルスとし、2相目の水平転送パルス $\phi H2$ と4相目の水平転送パルス $\phi H4$ とを互いに逆相のパルスとしている。

【0048】すなわち、図7のタイミングチャートにおいて、期間 $t11$ では1相目の水平転送パルス $\phi H1$

(a)が“L”レベルから“H”レベルに、3相目の水平転送パルス $\phi H3$ (c)が“H”レベルから“L”レベルにそれぞれ遷移し、期間 $t12$ では2相目の水平転送パルス $\phi H2$ (b)が“H”レベルから“L”レベルに、4相目の水平転送パルス $\phi H4$ (d)が“L”レベルから“H”レベルにそれぞれ遷移する。

【0049】この期間 $t11$ 、 $t12$ は、リセットパルス ϕR (e)の“H”レベルの期間内に設定されている。これにより、4相の水平転送パルス $\phi H1$ (a)、 $\phi H2$ (b)、 $\phi H3$ (c)、 $\phi H4$ (d)の期間 $t11$ 、 $t12$ でのレベル遷移に伴う水平転送レジスタ34

での水平転送動作は、電荷検出部36でのリセット期間 t_r において実行される。

【0050】さらに、期間 $t13$ では1相目の水平転送パルス $\phi H1$ (a)が“H”レベルから“L”レベルに、3相目の水平転送パルス $\phi H3$ (c)が“L”レベルから“H”レベルにそれぞれ遷移し、期間 $t14$ では2相目の水平転送パルス $\phi H2$ (b)が“L”レベルから“H”レベルに、4相目の水平転送パルス $\phi H4$ (d)が“H”レベルから“L”レベルにそれぞれ遷移する。そして、この期間 $t13$ 、 $t14$ でも、信号電荷の水平転送が行われる。

【0051】上述したように、CCDエリアセンサにおいて、その水平転送レジスタ34の駆動に4相駆動方式を採用したことで、第1実施形態の場合と同様に、2相駆動方式におけるポテンシャル段差 V_p および電位差 V_s が不要であることから、電圧の効率が良く、水平転送レジスタ34の駆動電圧（水平転送パルス $\phi H1 \sim \phi H4$ の振幅）が小さくて済む。これにより、低電圧駆動化が可能であるため、低消費電力化が図れるとともに、デバイスの低電源電圧化が可能となる。しかも、信号電荷の蓄積面積として水平ピッチの約 $1/2$ を利用できることになる。

【0052】また、期間 $t11$ 、 $t12$ での転送動作を電荷検出部36のリセット期間 t_r に行うようにしたことで、水平転送パルス $\phi H1 \sim \phi H4$ に起因するカップリングノイズを低減できる。一方、期間 $t13$ 、 $t14$ での転送動作の際には若干カップリングノイズが出るものの、毎回カップリング量が同じであるならば、2相駆動方式の場合と同様に、コンプリメンタリ動作によって相殺し合うことで低減できる。また、サンプリングパルスSH-P、SH-Dの発生期間ではフラットな時間を作ることができるため、ジッタに対しても強くできる。

【0053】なお、上記各実施形態では、3相駆動方式、4相駆動方式を用いた場合について説明したが、この駆動方式に限定されるものではなく、5相以上の駆動方式を用いることも可能であり、要は、水平転送動作の一部を電荷検出部16、36のリセット期間 t_r に行い、残りの水平転送動作を後段のCDS回路におけるサンプリングパルスSH-Pによるノイズサンプリング後に行うように、水平転送パルス $\phi H1 \sim \phi Hn$ (n は5以上の整数)のタイミング設定を行えば良い。

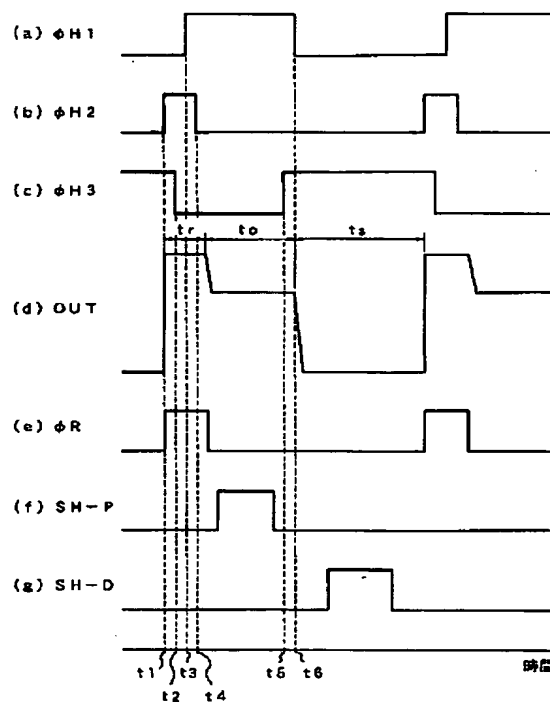
【0054】また、上記各実施形態においては、CCDエリアセンサの水平転送レジスタに適用した場合について説明したが、CCDリニア（ライン）センサの転送レジスタにも同様に適用可能であり、また固体撮像装置の電荷転送部のみならず、CCD等の遅延線の電荷転送部にも同様に適用可能である。これにより、電荷転送部の低電圧駆動化が実現できるため、固体撮像装置や遅延線等のデバイスの低電源電圧化が図れることになる。

【0055】

【図 7】 第 2 実施形態に係るタイミングチャートであ

19, 39 リセットドレイン . 20, 40 リセットゲート

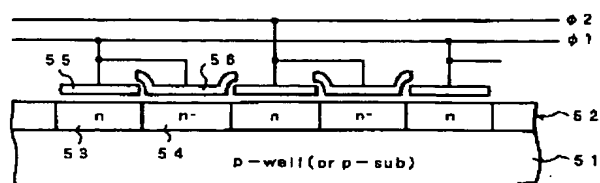
【図 2】



本発明の第 1 実施形態を示す概略構成図

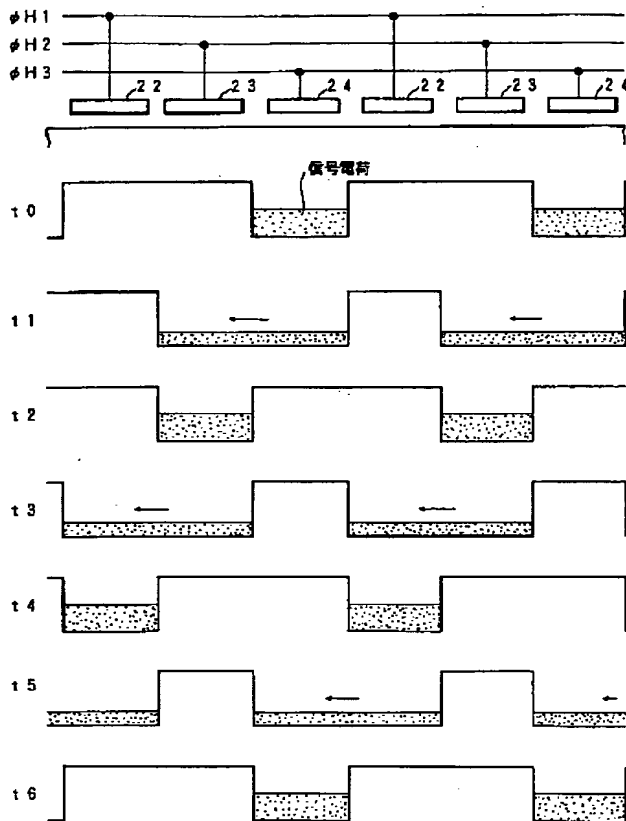
第1 実施形態に係るタイミングチャート

【图 8】



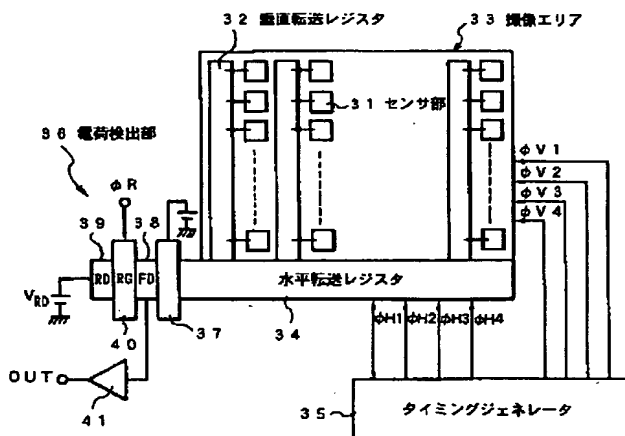
2 相駆動方式の断面構造図

【図3】



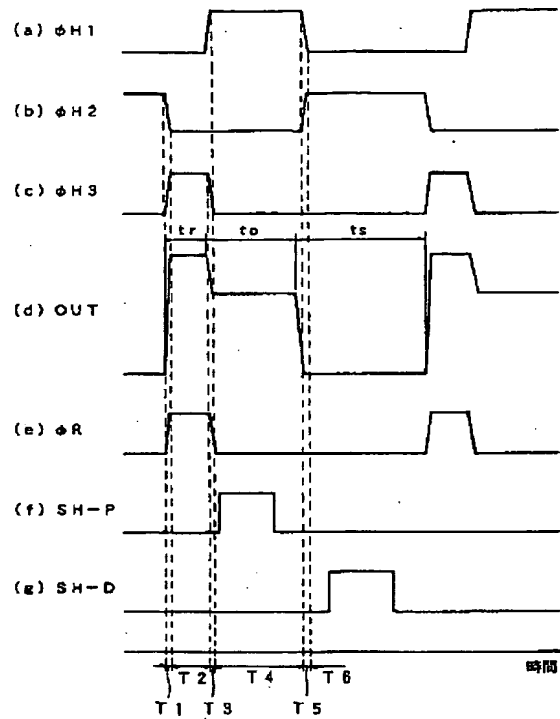
第1実施形態に係るポテンシャル図

【図6】



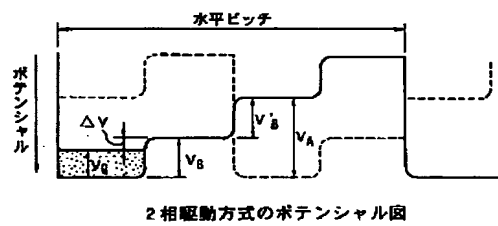
本発明の第2実施形態を示す概略構成図

【図4】



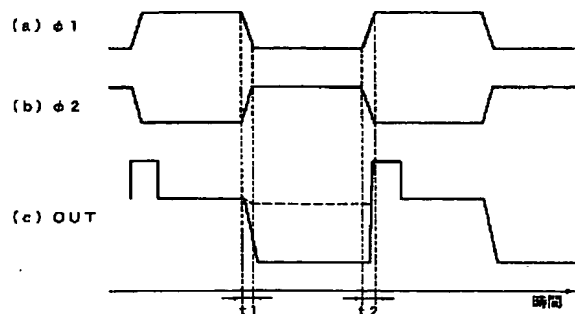
第1実施形態の変形例に係るタイミングチャート

【図9】



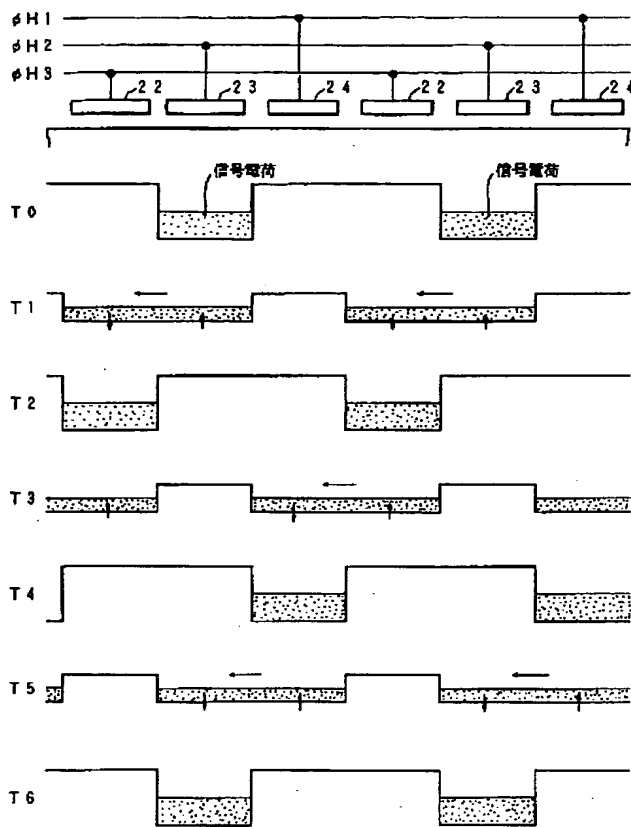
2相駆動方式のポテンシャル図

【図10】



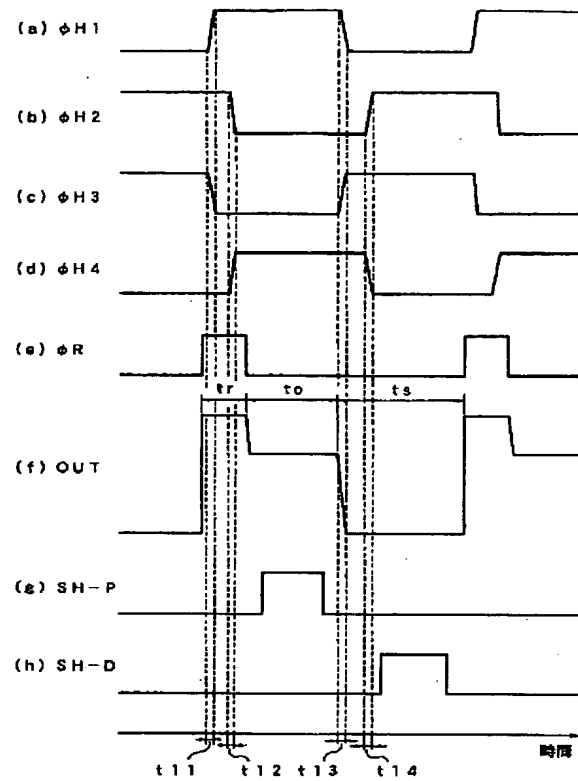
2相駆動方式のタイミングチャート

【図5】



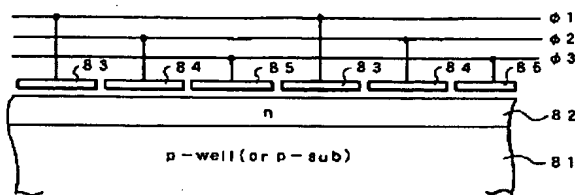
第1実施形態の変形例に係るポテンシャル図

【図7】



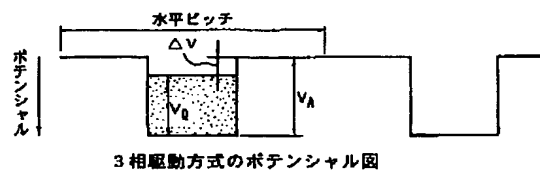
第2実施形態に係るタイミングチャート

【図11】



3相駆動方式の断面構造図

【図12】



【図 13】

